

Requested Patent: JP1028856

Title: MULTILAYERED INTEGRATED CIRCUIT

Abstracted Patent: JP1028856

Publication Date: 1989-01-31

Inventor(s): TAKEUCHI RYOSUKE

Applicant(s): MITSUBISHI ELECTRIC CORP

Application Number: JP19870182307 19870723

Priority Number(s):

IPC Classification: H01L27/00 ; H01L23/52 ; H01L25/08

Equivalents:

ABSTRACT:

PURPOSE: To form a large scale integrated circuit with high reliability, by stacking, on an LSI chip of lower side layer, an LSI chip whose area is smaller than that of the LSI chip of lower side layer, and connecting, through wires, the LSI chip of the upper side layer and that of the lower side layer.

CONSTITUTION: A multilayer integrated circuit is formed, by stacking at least two or more layers of large scale integrated circuit chips 10-12. The area of the chip 11 of upper layer stacked on the chip 10 of lower layer is larger than the area of the chip 12 of upper layer stacked on the chip 11 of lower layer. The signal transmission and reception between the chip 10 and the chip 11 and between the chip 11 and the chip 12 is performed via a wire 15a. Thereby, a large scale integrated circuit with high reliability can be obtained.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭64-28856

⑬ Int. Cl.⁴

H 01 L 27/00
23/52
25/08

識別記号

3 0 1

庁内整理番号

A-8122-5F
B-8728-5F
B-7638-5F

⑭ 公開 昭和64年(1989)1月31日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 多層集積回路

⑯ 特 願 昭62-182307

⑰ 出 願 昭62(1987)7月23日

⑱ 発 明 者 武 内 良 祐 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
通信機製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 田澤 博昭 外2名

明 細 書

1. 発明の名称

多層集積回路

2. 特許請求の範囲

大規模集積回路チップを少なくとも2層以上積層してなる多層集積回路において、下側層の上記大規模集積回路チップ上に積層される上側層の上記大規模集積回路チップの面積を大きくし、かつ上側層と下側層との大規模集積回路チップのベッド間には信号の授受するためワイヤを接続したことを特徴とする多層集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は電子機器等に組込まれる多層集積回路に関するものである。

(従来の技術)

第3図は例えば1985年10月7日発行の「日経エレクトロニクス」のP235に掲載された従来の多層集積回路を示す一部切欠斜視図であり、図において、1は下層大規模集積回路チップ(以

下下層LSIチップという)、2は上層大規模集積回路チップ(以下上層LSIチップという)、3はこれら下層LSIチップ1および上層LSIチップ2に設けられたボンディングパッド(以下、パッドという)、4は縦配線で、上記下層LSIチップ1のパッド3と上層LSIチップ2のパッド3とを電気的に接続する。5はハンダで、積層された下層LSIチップ1と上層LSIチップ2とをパッド3を介して接続する。

次に動作について説明する。

上層LSIチップ2と下層LSIチップ1との信号の送受信は縦配線4を介在させて行う。

[発明が解決しようとする問題点]

従来の多層集積回路は以上のように構成されているので、上層LSIチップ2と下層LSIチップ1を接続するには上層LSIチップ2に縦配線4を形成させ、上層LSIチップ2の縦配線の位相に対して下層LSIチップ1のパッド3の位置がずれてはならず、そのため製造コストが高くなり、またずれがあった場合に修正ができないので、

配線4とパッド3との接続部分の信頼性が低く、入出力信号は最上層のLSIチップのパッド3からしか取り出せないという制約があるなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、積層されるLSIチップ間の配線の信頼性を高め、かつ製造コストを低減できる多層集積回路を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る多層集積回路は下側層のLSIチップより小さな面積のLSIチップをその上に積層し、上側層と下側層とのLSIチップのパッドをワイヤで接続したものである。

〔作用〕

この発明における多層集積回路は上側層、下側層のパッドをワイヤボンディングすることで接続を行い、容易に信頼性の高い大規模集積回路を得ることができ、また入出力信号線をいずれの層のLSIチップからでも取り出せるものである。

〔実施例〕

11との信号の授受あるいは第2層LSIチップ11と第3層LSIチップ12との信号の授受はワイヤ15aにより行われる。また、第2層LSIチップ11や第3層LSIチップ12の基板の基準電位は第2層LSIチップ11の下の導体膜17を電線あるいはアースなどの基準電位に接続することと得ることができる。

また、上記実施例では導体膜にワイヤボンディングで基準電位を与える方法を用いたが、導体膜に基準電位を与える方法としては絶縁膜の一部に穴をあけ、下側層のLSIチップの部分にパッドを設け、ハンダ等で上側層のチップの導体膜と接続してもよい。

また、上記実施例では3層の多層集積回路を示したが、2層以上であれば何層でもよく、上記実施例と同様の効果を得る。

〔発明の効果〕

以上のようにこの発明によれば、各層のパッドをワイヤで接続が可能により多層集積回路を構成したので安価に高集積化でき、信頼性も高いも

以下、この発明の一実施例を図について説明する。

第1図はこの発明の一実施例の概略構成を示す平面図、第2図は同じく側面図で、両図とも3層のLSIチップを重ねた多層集積回路を示す。同図において、10は第1層LSIチップ、11はこの第1層LSIチップ10上に積層される第2層LSIチップ、12は第2層LSIチップ11上に積層される第3層LSIチップ、13aは第1乃至第3層LSIチップ10、11、12上のパッド、13bはLSIパッケージ14のパッド、15aは第1層LSIチップ10のパッド13aと第2層LSIチップ11のパッド3を接続したワイヤ、15bは第2層LSIチップ11のパッド3とLSIパッケージ14のパッド13bとを接続したワイヤ、16は各層を絶縁する絶縁膜で17はそれぞれ上側層のLSIチップに基準電位を与えるための導体膜である。

次に動作について説明する。

第1層LSIチップ10と第2層LSIチップ

11との信号の授受あるいは第2層LSIチップ11と第3層LSIチップ12との信号の授受はワイヤ15aにより行われる。また、第2層LSIチップ11や第3層LSIチップ12の基板の基準電位は第2層LSIチップ11の下

の導体膜17を電線あるいはアースなどの基準電位に接続することと得ることができる。

また、上記実施例では導体膜にワイヤボンディングで基準電位を与える方法を用いたが、導体膜に基準電位を与える方法としては絶縁膜の一部に穴をあけ、下側層のLSIチップの部分にパッドを設け、ハンダ等で上側層のチップの導体膜と接続してもよい。

また、上記実施例では3層の多層集積回路を示したが、2層以上であれば何層でもよく、上記実施例と同様の効果を得る。

〔発明の効果〕

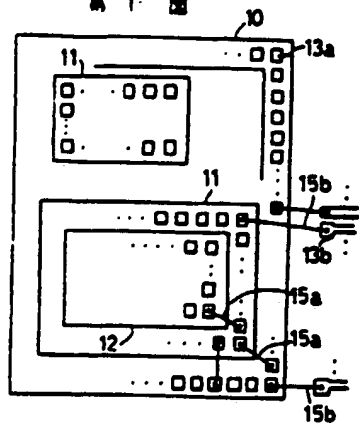
以上のようにこの発明によれば、各層のパッドをワイヤで接続が可能により多層集積回路を構成したので安価に高集積化でき、信頼性も高いも

特許出願人 三菱電機株式会社

代理人 弁理士 田 澤 博 昭

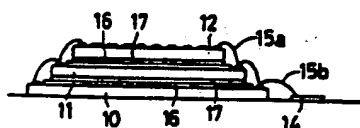
(外2名)

第 1 図



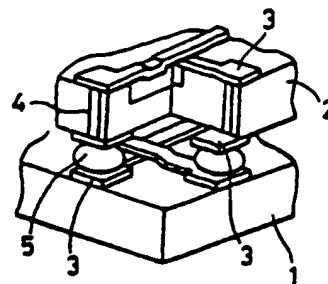
10: 第1層 LSIチップ
11: 第2層 LSIチップ
12: 第3層 LSIチップ
13a: LSI パッケージ
13b: パッケージ パッケージ
15a, 15b: ワイヤ

第 2 図



16: 絶縁膜
17: 導体膜

第 3 図



THIS PAGE BLANK (USPTO)